

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10145680 A**

(43) Date of publication of application: **29 . 05 . 98**

(51) Int. Cl

H04N 5/335

(21) Application number: **08296594**

(22) Date of filing: **08 . 11 . 96**

(71) Applicant: **HAMAMATSU PHOTONICS KK**

(72) Inventor: **TOYODA HARUYOSHI
ISHIKAWA MASATOSHI**

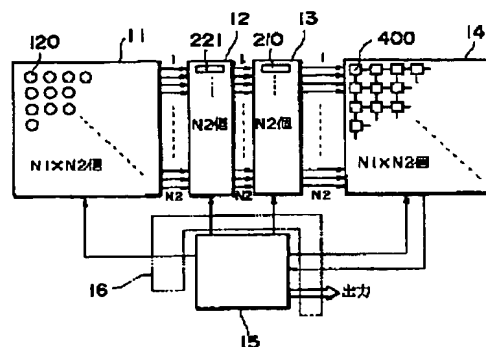
(54) **HIGH SPEED VISUAL SENSOR**

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a high speed visual sensor with lots of pixels that attains high speed image processing and is manufactured stably.

SOLUTION: The sensor is provided with an A/D converter array 13 where one A/D converter 210 corresponds to a light receiving element 120 of each column of a light receiving element array 11 and with an arithmetic element array 14 consisting of arithmetic elements 400 whose number corresponds one to one to number of the light receiving elements 120. The arithmetic elements 400 conduct image processing arithmetic operation at a high speed through parallel processing. Since each A/D converter 210 corresponds to each column of the array 11, the number of transmission lines between the light receiving element array 11 and the arithmetic element array 13 is small, both are manufactured and laid out separately, the degree of circuit integration is optimized, the sensor has provision for lots of pixels and the sensor is manufactured stably.

COPYRIGHT: (C)1998,JPO



BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-145680

(43) 公開日 平成10年(1998) 5月29日

(51) Int.Cl.⁸

H 0 4 N 5/335

識別記号

F I

H 0 4 N 5/335

P

審査請求 未請求 請求項の数 3 O L (全 9 頁)

(21) 出願番号 特願平8-296594

(22) 出願日 平成 8 年(1996) 11 月 8 日

(71) 出願人 000236436

浜松ホトニクス株式会社

静岡県浜松市市野町1126番地の1

(72) 発明者 豊田 晴義

静岡県浜松市市野町1126番地の1 浜松ホ
トニクス株式会社内

(72) 発明者 石川 正俊

千葉県柏市大室1571-32

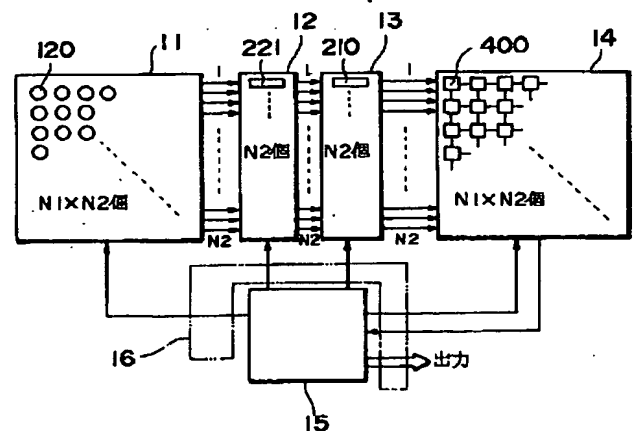
(74) 代理人 弁理士 長谷川 芳樹 (外 3 名)

(54) 【発明の名称】 高速視覚センサ装置

(57) 【要約】

【課題】 本発明は、高速の画像処理が可能で、安定して製造可能な多画素数の高速視覚センサ装置を提供することを課題としている。

【解決手段】 受光素子アレイ 11 の各列の受光素子 120 に対して 1 個の A/D 変換器 210 を対応させた A/D 変換器アレイ 13 と、受光素子 120 と 1 対 1 に対応する演算素子 400 からなる演算素子アレイ 14 とを備えている。演算素子 400 は並列処理により画像処理演算を高速で行うことができる。また、A/D 変換器 210 を各列ごとに対応させたため、受光素子アレイ 11 と演算素子アレイ 13 間の伝送路が少なく、両者を分離して製造・配置でき、集積度を最適化し、多画素化に対応できると同時に、安定した製造が行える利点がある。



【特許請求の範囲】

【請求項1】 複数の受光素子が2次元状に配列された受光素子アレイと、

前記受光素子アレイの各列に対応して設けられ、対応する1列中の受光素子から順次読み出された出力信号をアナログ・デジタル変換する複数のA/D変換器を有し、当該複数のA/D変換器が1次元状に配列されて構成されるA/D変換器アレイと、

前記受光素子アレイの各受光素子と1対1に対応して設けられ、前記A/D変換器アレイから転送された対応する受光素子の出力信号に相当するデジタル信号について所定の演算を行う複数の演算素子を有し、当該複数の演算素子を2次元状に配列して、並列演算処理を行う演算素子アレイと、

前記受光素子アレイ及び前記A/D変換器アレイ並びに前記演算素子アレイを制御する制御回路と、を備える高速視覚センサ装置。

【請求項2】 前記制御回路は、前記A/D変換器アレイの各列から対応する各演算素子へのデータ転送時に平行して各列内の演算素子間でのデータ転送及び演算を行い、全データ転送後に各列間のデータ転送及び演算を行うよう、前記演算素子アレイを制御することを特徴とする請求項1記載の高速視覚センサ装置。

【請求項3】 前記A/D変換器は、前記制御回路から送出された制御信号により、A/D変換時の階調を可変する機構を備えることを特徴とする請求項1又は2記載の高速視覚センサ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、画像処理機能を備えた高速視覚センサ装置に関する。

【0002】

【従来の技術】人間の視覚系では階層的並列処理が行われている。これに対して、従来の工学的視覚センサでは、情報を効率的に伝送するために走査機構が用いられてきた。この走査機構は、並列の配線が難しく、各検出器からの情報を少ない本数の通信路で伝送するには適しているが、その一方で、大量の情報を一本の通信路で送る必要があるため、1画像全体を伝送する速度は限られる。

【0003】このため、既存の画像取込装置と画像処理装置502を組み合わせた現状のビジョンシステム、例えば、図9に示すような、対象物500をテレビカメラ501で撮影して、画像データを画像処理装置502に伝送するシステムでは、伝送速度はビデオ信号の制約である1フレームあたり約33ミリ秒が限界で、たとえ高速の画像処理装置を組み合わせたとしても、この伝送速度以上の高速での画像処理はできなかった。つまり、この伝送速度が画像処理システム全体のI/Oボトルネックとなっていた。例えば、時速100キロで走行する車

において道路上の危険を検知する画像処理装置を考えた場合、上記のシステムの限界速度である約33ミリ秒では車が1m移動するため、遅すぎて実用にならなかった。

【0004】ところで、FAシステムにおいてロボットを高速で動作させるためには、高速の画像処理が必要とされる。例えば、視覚センサとアクチュエータの間でフィードバックループを形成するロボットの場合、アクチュエータはミリ秒単位で制御可能であるため、本来はこれに対応した画像処理速度が必要になる。ところが、現状のビジョンシステムでは画像処理速度が上述のビデオフレームレートに限られているため、この画像処理速度に合わせた低速動作しかできず、ロボットの性能を十分に活かしきれていなかった。

【0005】一方、高速CCDカメラの中には1ミリ秒程度で画像を撮像できるものもあるが、これらは撮像した画像をいったんメモリに貯えて、後から読み出して処理を行う機構になっているため、画像解析などの用途には使えるが、実時間性はほとんどなく、ロボット制御などの用途には適用できなかった。

【0006】このような問題を解決するため、画像の取込部と処理部を一体として取り扱うビジョンチップの研究が進んでおり、マサチューセッツ工科大学、カリフォルニア工科大学、三菱電機などの研究が知られている。しかし、これらは主として集積化の容易なアナログの固定回路を用いており、出力信号の後処理が必要であったり、画像処理の内容が特定用途に限定されていて汎用性がないなどの問題点があった。

【0007】これらに対して汎用的な画像処理を行うことができるビジョンチップとしては、特公平7-62866号の発明が知られている。この発明は、マトリクス状に配置された受光素子アレイの各受光素子の出力を、それぞれ1つの対応する演算素子に入力し、並列処理するものである（以下従来例1と呼ぶ）。これにより、演算素子への入力時間、演算時間が短縮され、各種の演算にも対応できる利点がある。

【0008】

【発明が解決しようとする課題】しかしながら、この従来例1の発明では、LSI上に占める演算素子の面積が、受光素子の面積よりも大きく、LSIに集積できるトランジスタ数には限界があるため、画素数が多く取れないという欠点があった。

【0009】これを解決するため、この特公平7-62866号には、受光素子1列に対し、一つの演算素子に対応させる装置が挙げられている（以下従来例2と呼ぶ）。また、特開平7-177435号の発明は、受光素子と演算素子を1次元に配置している（以下従来例3と呼ぶ）。これらは、演算素子が1次元であるため、演算時に走査処理が必要になり、それに時間がかかって、高速処理できないという欠点があった。

【0010】また、特開平7-85260号の発明では、1個の演算素子に複数の受光素子に対応させている（以下従来例4と呼ぶ）。これも演算時間がかかるという欠点があると共に、演算素子と同じ領域に特性の揃った受光素子を作ることが難しく、実用に至っていない。

【0011】そこで、本発明は、高速の画像処理が可能で、安定して製造可能な多画素数の高速視覚センサ装置を提供することを課題としている。

【0012】

【課題を解決するための手段】本発明の高速視覚センサ装置は、複数の受光素子が2次元状に配列された受光素子アレイと、受光素子アレイの各列に対応して設けられ、対応する1列中の受光素子から順次読み出された出力信号をアナログ・デジタル変換する複数のA/D変換器を有し、これらの複数のA/D変換器が1次元状に配列されて構成されるA/D変換器アレイと、受光素子アレイの各受光素子と1対1に対応して設けられ、A/D変換器アレイから転送された対応する受光素子の出力信号に相当するデジタル信号について所定の演算を行う複数の演算素子を有し、これらの複数の演算素子を2次元状に配列して、並列演算処理を行う演算素子アレイと、受光素子アレイ及びA/D変換器アレイ並びに演算素子アレイを制御する制御回路とを備える。

【0013】本発明によれば、受光素子と演算素子とが1対1に対応しているため、画像処理の演算を並列処理により高速で行うことができる。また、A/D変換器で各列毎に分割してデータを演算素子に転送するため、この部分の伝送路の本数が少なく、受光素子アレイと演算器アレイを分離することが容易である。このため、双方とも高集積化が可能で、画素数を増やすことができる。また、安定した生産が可能となる。

【0014】また、制御回路は、A/D変換器アレイの各列から対応する各演算素子へのデータ転送時に平行して各列内の演算素子間でのデータ転送及び演算を行い、全データ転送後に各列間のデータ転送及び演算を行うよう、演算素子アレイを制御する。これにより、演算素子間のデータ転送や演算による時間の無駄を省いて、効率的な処理を行うことができる。

【0015】さらに、A/D変換器は、制御回路から送出された制御信号により、A/D変換時の階調を変調する機構を備えてもよい。これにより、用途に応じて、低階調でも高速で読み込んだり、低速でも高階調で読み込むなどの使い分けが可能となる。

【0016】

【発明の実施の形態】以下、本発明の一実施形態を図面に基づいて説明する。図1は、本実施形態に係る高速視覚センサ装置のブロック図である。

【0017】まず、図1により、センサ装置全体の構成を簡単に説明する。本実施形態の高速視覚センサ装置は、N1個×N2個の2次元状に配置された受光素子1

20からなる受光素子アレイ11と、受光素子アレイ11の1列ごとに対応して受光素子から出力された電荷を電圧信号に変換するN2個のチャージアンプ221からなる並列アンプ12と、チャージアンプからの出力信号をA/D変換するN2個のA/D変換器210からなるA/D変換器アレイ13と、受光素子120と1対1に対応するN1個×N2個の演算素子400からなる演算素子アレイ14と、回路全体に命令信号等を送って制御する制御回路15及び制御回路15からの信号を各回路に送るインストラクション/コマンドバス16により構成されている。

【0018】図2は、装置の構成例を示したものである。受光素子アレイ11と演算素子アレイ14を別々の基板に形成することで、双方を高集積化することが可能であり、また、それぞれの装置の特性に合わせた加工工程を採用できるため、安定した生産が可能となる。

【0019】続いて、各回路の内部構成について説明する。図3は、画像取込部の詳細構成を示している。画像取込部は、光を検出する受光部100（図1に示す受光素子アレイ11に相当）、受光部100からの出力信号を処理する信号処理部200（図1に示す並列アンプ12及びA/D変換器アレイ13に相当）、受光部100及び信号処理部200に動作タイミングの指示信号を通知するタイミング制御部300（図1に示す制御回路15の一部に相当）を備えている。

【0020】最初に、図3により、図1の受光素子アレイ11に相当する受光部100の構成を説明する。受光素子120は、入力した光強度に応じて電荷を発生する光電変換素子130と、光電変換素子130の信号出力端子に接続され、垂直走査信号 V_i （ $i=1\sim N1$ ）に応じて光電変換素子130に蓄積された電荷を出力するスイッチ素子140を1組として構成されている。この受光素子120が第1の方向（以下垂直方向と呼ぶ）に沿ってN1個配置され、各受光素子120のスイッチ素子140が電気的に接続されて垂直受光部110を構成している。そして、この垂直受光部110を垂直方向に直交する水平方向に沿ってN2個配列することにより受光部100が構成されている。

【0021】次に、同じく図3により、図1では並列アンプ12及びA/D変換器アレイ13に相当する信号処理部200の構成を説明する。信号処理部200は、対応する垂直受光部110_j（ $j=1\sim N2$ ）から転送されてきた電荷を個別に取り出して、処理し、この電荷強度に対応するデジタル信号を出力するA/D変換器210_jをN2個配置して構成されている。A/D変換器210_jは、チャージアンプ221_jを含む積分回路220_jと比較回路230_jと容量制御機構240_jの3つの回路から構成される。本実施形態では、チャージアンプ221をA/D変換器221に含む回路構成になっている。

【0022】このうち、積分回路220_jは、垂直受光部110_jからの出力信号を入力として、この入力信号の電荷を増幅するチャージアンプ221_jと、チャージアンプ221_jの入力端子に一方の端が接続され、出力端子に他方の端が接続された可変容量部222_jと、チャージアンプ221_jの入力端子に一方の端が接続され、出力端子に他方の端が接続されて、リセット信号Rに応じてON、OFF状態となり、積分回路220_jの積分、非積分動作を切り替えるスイッチ素子223_jからなる。

【0023】ここで、図4は、この積分回路220の詳細構成図である。本図は、4ビットつまり16階調の分解能を持つA/D変換機能を備える積分回路の例であり、以下、この回路構成により説明する。可変容量部222は、チャージアンプ221の垂直受光部からの出力信号の入力端子に一方の端子が接続された容量素子C₁～C₄と、容量素子C₁～C₄の他方の端子とチャージアンプ221の出力端子の間に接続され、容量指示信号C₁₁～C₁₄に応じて開閉するスイッチ素子SW11～SW14と、容量素子C₁～C₄とスイッチ素子SW11～SW14の間に一方の端子が接続され、他方の端子がGNDレベルと接続されて、容量指示信号C₂₁～C₂₄に応じて開閉するスイッチ素子SW21～SW24により構成されている。なお、容量素子C₁～C₄の電気容量C₁～C₄は、

$$C_1 = 2C_2 = 4C_3 = 8C_4$$

$$C_0 = C_1 + C_2 + C_3 + C_4$$

の関係を満たす。ここで、C₀は積分回路220で必要とする最大電気容量であり、受光素子130（図3参照）の飽和電荷量をQ₀、基準電圧をV_{ref}とすると、 $C_0 = Q_0 / V_{ref}$ の関係を満たす。

【0024】再び、図3に戻り、A/D変換器210_jの積分回路220_j以外の回路を説明する。比較回路230_jは、積分回路220_jから出力された積分信号V_sの値を基準値V_{ref}と比較して、比較結果信号V_cを出力する。容量制御機構240_jは、比較結果信号V_cの値から積分回路220_j内の可変容量部222_jに通知する容量指示信号Cを出力すると共に、容量指示信号Cに相当するデジタル信号D1を出力する。

【0025】続いて、図3に示すタイミング制御部300の構成を説明する。全回路のクロック制御を行う基本タイミングを発生する基本タイミング部310と、基本タイミング部310から通知された垂直走査指示に従って、垂直走査信号V_iを発生する垂直シフトレジスタ320と、リセット指示信号Rを発生する制御信号部340により構成されている。

【0026】次に、図5に示すブロック図を用いて、演算素子アレイ14を構成する演算素子400の構成を説明する。演算素子400は、A/D変換器210から送

られてきた対応する受光素子120の4近傍の出力信号に相当するデジタル信号D1を収容する4×8ビットのランダムアクセス可能な1ビットシフトのレジスタマトリックス401と、演算信号をそれぞれ収容するAラッチ402、Bラッチ403、及び下位ビットから1ビットずつ順次演算する順次ビットシリアル演算を行う演算論理ユニット(ALU)404で構成されている。ALU404にはAND、OR、XOR、ADDの演算機能が用意されている。演算素子400は、各素子が共通の制御信号で制御されるSIMD型の並列処理を行う構造になっている。これにより、1素子あたりのトランジスタ数を削減し、演算素子アレイ14の集積化を図り、素子数を増やすことができる。

【0027】次に、図2～図5により、本実施形態の動作について説明する。

【0028】まず、リセット信号Rを有為に設定し、図4に示す可変容量部222のSW11～SW14を全て「ON」、SW21～SW24を全て「OFF」状態にする。これにより、チャージアンプ221の入力端子と出力端子間の容量値をC₀に設定する。それと同時に、図3に示す全てのスイッチ素子140を「OFF」状態とし、垂直走査信号V_iをいずれの受光素子120_jも選択しない状態に設定する。この状態から、リセット指示信号Rを非有為に設定し、各積分回路220での積分動作を開始させる。

【0029】積分動作を開始させると、図3に示すN2個の各垂直受光部110_jにある第1番目の受光素子120_{1j}のスイッチ素子140のみを「ON」とする垂直走査信号V_iが出力される。スイッチ素子が「ON」になると、それまでの受光によって光電変換素子130に蓄積された電荷Q₁は、電流信号として受光部100から出力される。つまり、光電変換素子の信号を読み出すことができる。電荷Q₁は容量値C₀に設定された可変容量部222に流入する。

【0030】次に、図4により積分回路220内部の動作を説明する。容量制御機構240（図3参照）は、SW12～SW14を開放した後、SW22～24を閉じる。この結果、積分信号V_sは、 $V_s = Q / C_1$

で示す電圧値として出力される。積分信号V_sは、比較回路230に入力して、基準電圧値V_{ref}と比較される。ここで、V_sとV_{ref}の差が、分解能の範囲以下、すなわち±(C₁/2)以下の時は、一致したものとみなし、更なる容量制御は行わず、積分動作を終了する。分解能の範囲で一致しないときは、更に容量制御を行い、積分動作を続ける。

【0031】例えば、V_s>V_{ref}であれば、容量制御機構240は、更に、SW22を開放した後、SW12を閉じる。この結果、積分信号V_sは、

$$V_s = Q / (C_1 + C_2)$$

10

20

30

40

50

で示す電圧値となる。この積分信号 V_s は、後続の比較回路230（同）に入力して、基準電圧値 V_{ref} と比較される。

【0032】また、 $V_s < V_{ref}$ であれば、容量制御機構240は、更に、SW11及びSW22を開放した後に、SW12及びSW21を閉じる。この結果、積分信号 V_s は、

$$V_s = Q / C_2$$

で示す電圧値となる。この積分信号 V_s は、後続の比較回路230に送出され、基準電圧値 V_{ref} と比較される。

【0033】以後、同様にして、積分回路220→比較回路230→容量制御機構240→積分回路220のフィードバックループによって、積分信号 V_s が基準電圧値 V_{ref} と分解能の範囲で一致するまで、比較及び容量設定（SW11～SW14及びSW21～SW24のON/OFF制御）を順次繰り返す。積分動作が終了した時点のSW11～SW14のON/OFF状態を示す容量指示信号 $C_{11} \sim C_{14}$ の値は、電荷 Q_1 の値に対応したデジタル信号であり、最上位ビット（MSB）の値が C_{11} 、最下位ビット（LSB）の値が C_{14} である。こうしてA/D変換が行われ、これらの値をデジタル信号D1として、演算素子アレイ14に出力する。以上述べたように、この装置では、デジタル信号D1の各ビット値は、MSB側からLSB側へ1ビットずつ順に定まる。

【0034】第1番目の受光素子120_{1j}の光電出力に相当するデジタル信号の送出が終了すると、リセット信号Rが有為とされ、再び、非有為にして、可変容量部222の容量値を初期化した後に、各垂直受光部110_jの第2番目の受光素子120_{2j}のスイッチ素子140のみを「ON」とする垂直走査信号 V_2 を出力し、上述と同様の動作により、第2番目の受光素子120_{2j}の光電出力を読み出し、これに相当するデジタル信号を送出する。以下、垂直走査信号を切り替えて、全受光素子120の光電出力を読み出し、相当するデジタル信号を演算素子アレイ14に出力する。

【0035】次に、演算素子400の動作を図5により説明する。A/D変換されたデジタル信号は、それぞれの受光素子120_{1j}に対応する演算素子400のレジスタマトリックス401に送られる。演算素子400はそれぞれ4近傍接続されているため、インストラクションで順次隣の演算素子400に信号を送るように命令を出すことで転送する演算素子400の指定ができる。各垂直受光部110_jの信号は対応する演算素子400に対して、各列が同時に転送されるため、nビット×N2回のデータ転送で、全受光素子120の光電出力データが全演算素子400に転送されることになる。

【0036】演算素子400内部の演算は、必要があれば、各演算素子400間でそれぞれのレジスタマトリックス401に収容された信号の転送を行った後、演算に

必要な信号をレジスタマトリックス401からAラッチ402とBラッチ403に読み出し、ALU404で所定の演算を行い、計算結果はレジスタマトリックス401を介して外部回路に出される。演算は全演算素子400において同時に並列処理されるため、極めて高速の演算が可能である。以下に、「エッジ抽出」を例にとり、画像処理の実行動作を詳細に説明する。

【0037】例に挙げる「エッジ抽出」は画像処理において最も頻繁に利用される処理である。最も簡単に演算する場合は、隣接する画素の強度値との差分による2近傍演算が用いられる。これを数式で表すと、

$$I'(x, y) = |I(x, y) - I(x-1, y)|$$

となる。ここで (x, y) は素子の位置座標、 $I(x, y)$ は画像強度データの値、 $I'(x, y)$ は求めたいエッジ抽出画像の画像強度データの値である。

【0038】転送から演算終了までの各演算素子400における演算のフロー図を図6に示す。A/D変換器210から演算素子400へのデータ転送の際に、 $I(x, y)$ と $I(x-1, y)$ に相当するデータを各演算素子400内のレジスタマトリックス401に格納する。

これにより、A/D変換器アレイ11からのデータ転送が終了した後の各演算素子400間でのデータ転送をできる限り省略して、効率的で高速の処理をすることが可能になる。A/D変換器210から全演算素子400へのデータ転送が終了した時点で、レジスタマトリックス401に収容された $I(x, y)$ と $I(x-1, y)$ のデータを下位ビットからAラッチ402とBラッチ403に読み出し、ALU404により、差分を求める演算を行う。この計算結果はいったんレジスタマトリックス401に格納する。差分が求まった後、この差分値を再びAラッチ402に読み出し、ALU404により、その絶対値を算出し、レジスタマトリックス401に計算結果を格納し、外部に出力する。以上の計算処理は全ての演算素子400で同時に並列処理されるため、非常に高速で演算処理が行われる。

【0039】画像処理でよく用いられるアルゴリズムのいくつかについて、本実施形態により演算を行った場合のステップ数、処理時間の例を図7に示す。図7から明らかなように、本実施形態では、一般的な画像処理（例えば、平滑化、細線化、コンボリューション、相関、マスク処理）演算を完全並列処理により、非常に高速で行うことができる。したがって、これまでの視覚センサ装置では、演算処理速度が遅いために制限されていたFAロボット制御などの分野への応用が可能になる。

【0040】さらに、本実施形態では、受光素子120の列毎にデータを転送しているため、列全体のデータを使用するような画像演算を、転送と同時に行うことで、より効率的な処理を行うことができる。例えば、図8に例示する画像の強度の合計値、平均値、重心、最大値・最小値の検出、などの画像処理演算においては、画像全

10

20

30

40

50

体の情報を必要とするため、受光素子120-A/D変換器210-演算素子400を1対1に対応させた完全な並列処理システムにおいても、演算素子400間のデータ転送に要する時間が長くなる。しかし、本実施形態では、データが受光素子120の列毎に転送される構成になっているため、このデータ転送を利用して演算素子400間のデータ転送を省略することにより、列全体のデータを利用する処理を効率的に行うことができる。

【0041】例として画像強度の合計値を演算する場合について、図3、図5を参照して説明する。演算は、1列分の画像データが全て通過することになるA/D変換器からの信号を最初に受け取る位置(1, y)の演算素子400(以下第1の演算素子と呼ぶ)において行う。まず、全演算素子400のレジスタ401を0にセットする。そして、位置(x, y)の受光素子120からの画像強度のデータI(x, y)を対応する位置(x, y)の演算素子400に転送する際に、このデータを位置(1, y)にある第1の演算素子400においてレジスタ51内のデータと加算して、計算結果により記憶されたデータを置き換える。1列分のデータ転送が終了した時点で、各列の第1の演算素子400には、1列分の画像強度の合計値G(y)が蓄えられている。これを行方向に加算していけば、画像全体の画像強度の合計値Gを得ることができる。

【0042】実際の画像処理では、図7に示した画像処理演算と図8に示した列あるいは画像全体のデータを使用するような演算を組み合わせ使用することが多く、このような演算では、本実施形態のような部分並列型の処理システムでも完全並列処理システムとほぼ同等の高速処理が可能となる。一方、本実施形態では、上述したように、画像取込部と画像処理部を分離できるため、それぞれの特性に合わせて製造することが可能で、製作が容易かつ安定した生産が可能になる。

【0043】本実施形態が目指しているのは、実用的な高速性と十分な解像度を有する画像処理システムである。解像度の目安としては、FAシステムにおけるロボット制御には、受光素子120を128×128個以上配列する解像度が必要とされる。従来例1によれば、受光素子120の配列数を増やすことが難しいため、ここまで解像度を上げることは困難だった。本実施形態によれば、受光素子アレイ11と演算素子アレイ14を分離でき、それぞれの集積度を高められるため、この解像度を十分に実現できる。また、処理速度の目安としては、ロボットのアクチュエータの速度(1~10ミリ秒)が必要である。本実施形態では、この処理速度は、A/D変換器210におけるA/D変換処理速度によって決まるが、以下に述べるように、十分に高速化が可能である。

【0044】ここで、本実施形態での1画素あたりのA/D変換速度は、1ビットあたり1マイクロ秒となる。

例えば、入力アナログ信号を6ビット(64階調)でデジタル変換する場合には、1列分の128個の受光素子120の出力信号をデジタル変換するのに必要な時間は、6マイクロ秒×128=0.768ミリ秒となる。画像処理については、各受光素子に1対1に対応して演算素子が配置され、全演算素子で並列処理されるため、図7に示すように、0.4ミリ秒以下でほとんどの演算処理が行える。したがって、転送時間を考慮しても、ほとんどの画像処理が1ミリ秒以下で行えることになり、十分な高速性能を有する。一方、従来例2~4では、複数の画素の計算を1つの演算素子で行う必要があるため、計算処理の時間自体が長くなる。例えば、従来例2の場合は、最も基本的な画像処理演算である4近傍エッジ検出の場合で、1点あたり7.7マイクロ秒かかる演算を128回繰り返す必要があり、合計の演算時間だけで約1ミリ秒かかる。実際には、受光素子からのデータ転送時間が必要であるうえに、さらに画像処理で複雑な演算を必要とすることがあるため、これでは実用的な高速処理はできない。

【0045】また、前述したように本実施形態のA/D変換器は、最上位ビットからA/D変換を行う。したがって、所望のビット数まで変換した時点で、リセット信号Rを送出し、次の光信号のA/D変換に移ることにより、A/D変換の階調を変更することができる。これにより、より高速で、複雑な処理を行うことが可能となる。例えば、移動物体のトラッキングをするような場合に、物体が高速で移動している場合は、画像を1ビットの2値レベルで演算処理するように制御すれば、転送時間は、前述の6ビットの時の6分の1の0.128秒に短縮され、高速フィードバック制御に適用できる。逆に、低速で動いている場合には、階調を上げることにより、より精度を向上させて、追従することができる。

【0046】

【発明の効果】以上説明したように、本発明によれば、受光素子と1対1に対応する演算素子を有しているもので、並列処理により高速の画像処理が可能である。また、A/D変換器を1列ごとに設けているので、A/D変換器を素子毎に設けている場合に比較して、受光素子と演算素子間の伝送線の本数が少なく、受光素子と演算素子を別々に製造、配置することが容易にできる。このため、両者とも集積度を最適にすることができ、多画素数の高速視覚センサ装置を容易に製作できる。A/D変換器を列ごとに設けたため、A/D変換の処理速度により、全体の処理速度が制限を受けるが、FAロボット制御に十分な画素数といわれる128×128画素の映像を64階調で処理する場合でも、ほとんどの画像処理が1ミリ秒以下で終了し、従来にない高速処理が可能である。

【0047】また、A/D変換器から演算素子へのデータ転送時に、列内の演算素子間でのデータ転送や演算を

平行して処理できるため、A/D変換器から演算素子へのデータ転送後に必要な演算素子間のデータ転送が少なくなり、処理時間を短縮できる。特に、列全体のデータを利用する画像処理演算で、効率的な処理が可能となる。

【0048】さらに、A/D変換器の変換階調を可変にすることにより、高速で移動する物体の制御等には、低階調として、さらに高速で処理し、低速で移動する物体の制御の際には、転送時間がかかるが、高階調で処理するなど、状況に応じた汎用性の高い制御が可能である。

【図面の簡単な説明】

【図1】本発明の一実施形態に係るブロック図である。

【図2】図1の実施形態に係る概略構成図である。

【図3】図1の実施形態に係る受光素子アレイ、並列アンプ及びA/D変換器アレイの回路構成図である。

【図4】図1の実施形態に係る積分回路の詳細回路構成図である。

【図5】図1の実施形態に係る演算素子のブロック図である。

【図6】図5の演算素子の2近傍演算時のフロー図である。

* 【図7】図5の演算素子の演算時間例を示す図である。

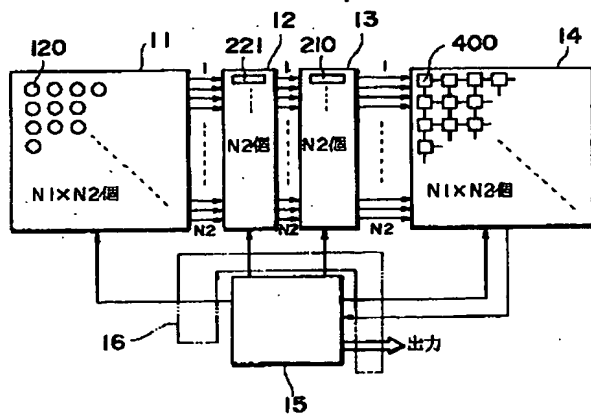
【図8】列全体又は画像全体のデータを必要とする画像処理の例を示す図である。

【図9】I/Oボトルネックの概念図である。

【符号の説明】

11…受光素子アレイ、12…アンプ、13…A/D変換器アレイ、14…演算素子アレイ、15…制御回路、16…インストラクション/コマンドバス、100…受光部、110…垂直受光部、120…受光素子、130…光電変換素子、140…スイッチ素子、200…信号処理部、210…A/D変換器、220…積分回路、221…チャージアンプ、222…可変容量部、223…スイッチ素子、230…比較回路、240…容量制御機構、300…タイミング制御部、310…基本タイミング部、320…垂直シフトレジスタ、340…制御信号部、400…演算素子、401…レジスタマトリックス、402…Aラッチ、403…Bラッチ、404…A LU、500…対象物、501…テレビカメラ、502…画像処理装置、C1～C4…容量素子、SW11～SW14、SW21～SW24…スイッチ素子。

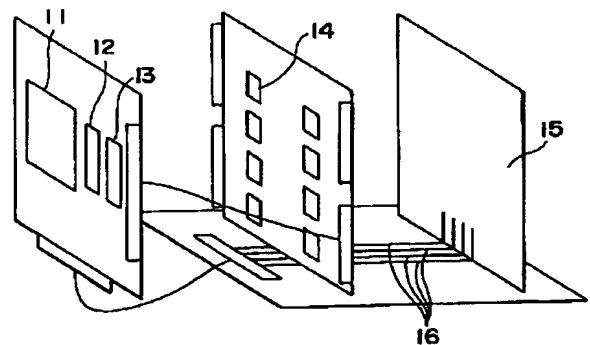
【図1】



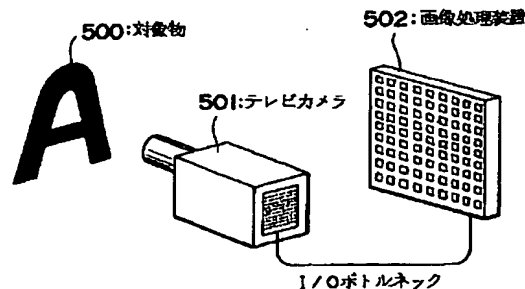
【図7】

プログラム名	ステップ数 (所要時間 [μs])
2近傍エッジ検出 (1bit 入出力)	5 (0.40)
4近傍エッジ検出 (1bit 入出力)	11 (0.72)
4近傍平滑化 (1bit 入出力)	14 (1.0)
4近傍エッジ検出 (8bit 入出力)	70 (5.6)
4近傍エッジ検出 (8bit 入出力)	86 (7.7)
4近傍細線化 (1bit 入出力)	23 (1.9)
8近傍細線化 (1bit 入出力)	53 (4.2)
コンボリューション (1bit 入力, 4bit 出力)	40 (3.2)
コンボリューション (4bit 入力, 11bit 出力)	372 (30)
Poisson 方程式 (1bit 入力, 8bit 出力)	63 (5.0)

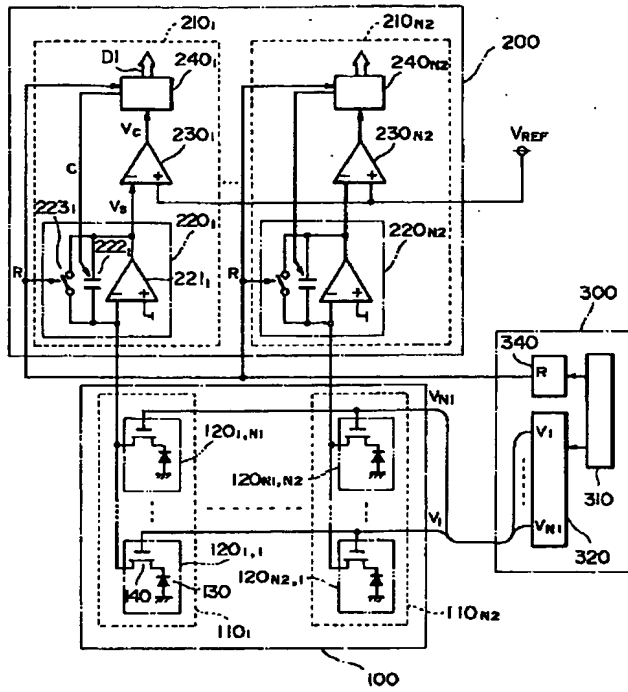
【図2】



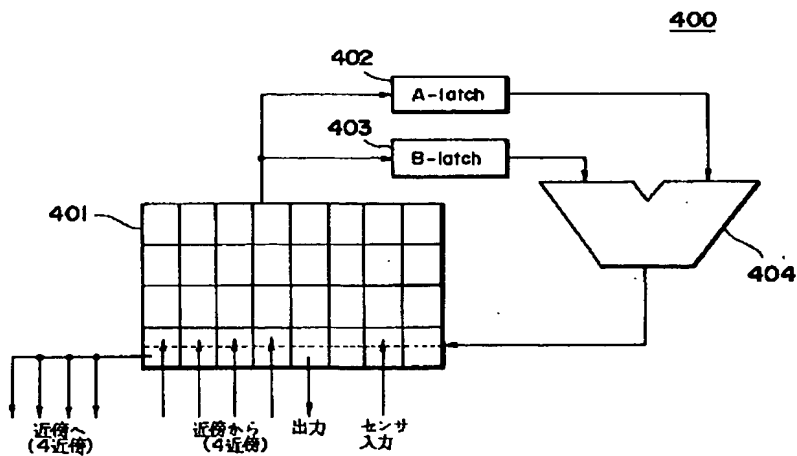
【図9】



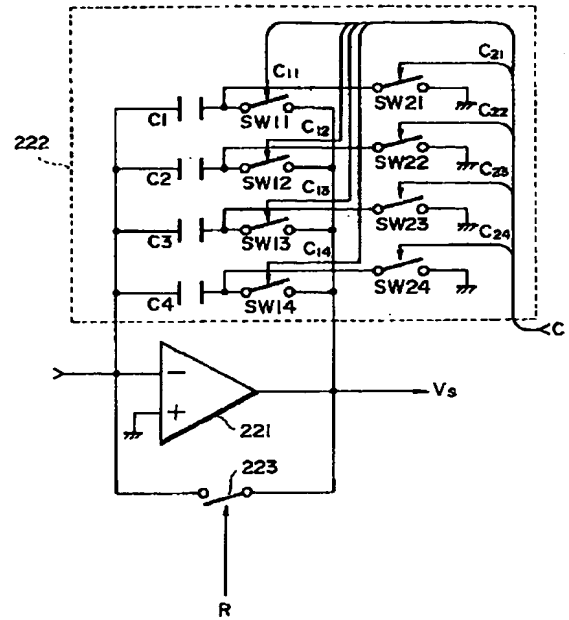
【図3】



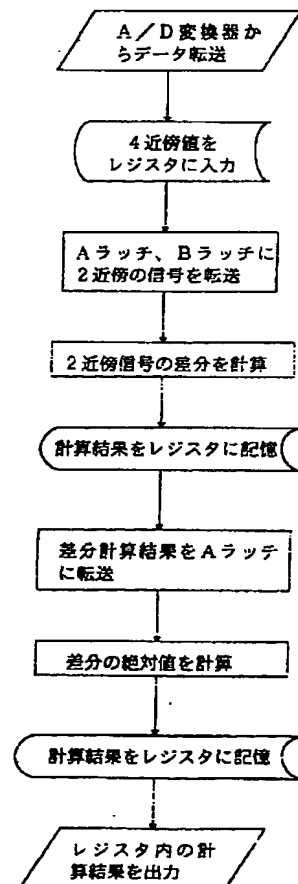
【図5】



【図4】



【図6】



【図8】

画像処理演算の名称	演算の内容	
画像強度合計	列	$G(y) = \sum_{x=1}^{N1} I(x,y)$
	全体	$G = \sum_{y=1}^{N2} G(y)$
画像強度平均	列	$G_{ave}(y) = \frac{G(y)}{N1}$
	全体	$G_{ave} = \frac{G}{N1 \times N2}$
画像の重心位置	列毎の重心位置	$G_c(y) = \frac{\sum_{x=1}^{N1} \{I(x,y) \cdot x\}}{G(y)}$
	全体の重心座標	$G_c = \left(\frac{\sum_{y=1}^{N2} \{G(y) \cdot G_c(y)\}}{G}, \frac{\sum_{y=1}^{N2} \{G(y) \cdot y\}}{G} \right)$
最大値検出	列毎	$Max(y) = \max[I(1,y), \dots, I(N1,y)]$
	全体	$Max = \max[Max(1), \dots, Max(N2)]$
最小値検出	列毎	$Min(y) = \min[I(1,y), \dots, I(N1,y)]$
	全体	$Min = \min[Min(1), \dots, Min(N2)]$
雑音除去 (しきい値 I_{th})		$\begin{cases} I'(x,y) = I(x,y) & (I(x,y) \geq I_{th}) \\ I'(x,y) = 0 & (I(x,y) < I_{th}) \end{cases}$

座標(x,y)の各受光素子の出力を $I(x,y)$ とする。受光素子の総数は $N1 \times N2$ 個である。

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.